

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-224495

(P2000-224495A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.

識別記号

F I

テマート*(参考)

H 0 4 N 5/335

H 0 4 N 5/335

Z

// H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数10 OL (全 11 頁)

(21) 出願番号 特願平11-332980

(22) 出願日 平成11年11月24日 (1999. 11. 24)

(31) 優先権主張番号 特願平10-333126

(32) 優先日 平成10年11月24日 (1998. 11. 24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小泉 徹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

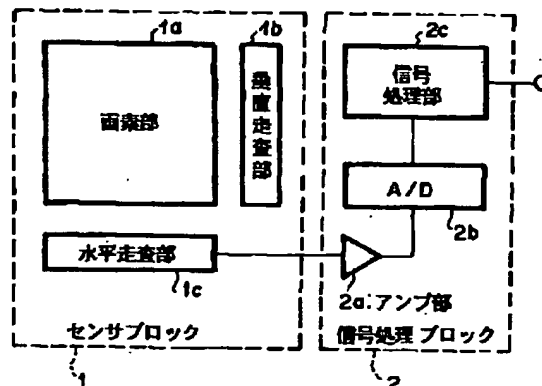
最終頁に続く

(54) 【発明の名称】 撮像装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 ノイズを低減し、消費電力を低減する。

【解決手段】 受光素子を画素毎に有する複数の画素からなる画素部1a、画素部の画素を選択するための走査部1b、1cを有するセンサブロック1と、センサブロック1から出力された信号を処理するための信号処理ブロック2とを有する同一半導体基板内に集積化された撮像装置において、センサブロック1で使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルが信号処理ブロック2の電源電圧より高い撮像装置を得る。



7
9V
10V/4.5

【特許請求の範囲】

【請求項1】 受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、前記センサブロックから出力された信号を処理するための信号処理ブロックと、前記センサブロックで使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルを前記信号処理ブロックの電源電圧より高くするための手段と、を同一半導体基板内に集積化した撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタのゲート絶縁膜厚が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタのゲート絶縁膜厚より厚いことを特徴とする撮像装置。

【請求項3】 請求項1に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタのウェル濃度が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタのウェル濃度より薄いことを特徴とする撮像装置。

【請求項4】 請求項1に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタの閾値電圧が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタの閾値電圧より高いことを特徴とする撮像装置。

【請求項5】 請求項1に記載の撮像装置において、前記受光素子が埋め込み型フォトダイオードであることを特徴とする撮像装置。

【請求項6】 請求項5に記載の撮像装置において、前記画素は電荷電圧変換部を有し、転送スイッチを介して前記埋め込み型フォトダイオードに接続されることを特徴とする撮像装置。

【請求項7】 請求項1に記載の撮像装置において、前記センサブロックと前記信号処理ブロックは、信号レベルをレベルシフトさせ各レベルシフト手段を介して接続されている撮像装置。

【請求項8】 請求項1に記載の撮像装置において、前記信号処理ブロックは、アナログ信号をデジタル信号に変換するためのA/D変換回路を含むことを特徴とする撮像装置。

【請求項9】 請求項8に記載の撮像装置において、前記信号処理ブロックは、輝度信号及び色信号を形成するための信号処理手段を含むことを特徴とする撮像装置。

【請求項10】 請求項1～9のいずれかの請求項に記載の撮像装置と、該撮像装置のセンサブロックへ光を結像する光学系と、を有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換機能を有

するセンサブロックと、画素部からの信号を処理する信号処理ブロックとを有する撮像装置およびそれを用いた撮像システムに関するものである。

【0002】

【従来の技術】フォトダイオード等の受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、該センサブロックから出力された信号を処理するためのアンプ等を有する信号処理ブロックとを同一半導体基板内に集積化した撮像装置がある。なお画素部がCMOS製造プロセスで形成されるセンサはCMOSセンサと呼ばれる。

【0003】近年、デジタルカメラなどの要求から、ダイナミックレンジが広く、S/N比が高く、消費電力の低い撮像装置が要求されている。

【0004】

【発明が解決しようとする課題】画素部と画素を選択するための走査部を有するセンサブロックと、このセンサブロックから出力された信号を処理するための信号処理ブロックとを有する撮像装置において、従来は、単一電源が利用され、信号処理ブロックが重視される場合は、この信号処理ブロックに合わせてセンサブロックの電源電圧を下げている。この結果、ダイナミックレンジを犠牲にすることになる。

【0005】一方、CCD等に用いられる埋め込み型のフォトダイオードは、S/N比の高い信号を得ることが可能であるが、一般に電源電圧が高く、信号処理ブロックのクロックノイズの増大を引き起こす。また、電源電圧が高くなると信号処理ブロックの各MOSトランジスタに代表される絶縁ゲート型トランジスタにかかる電界が高くなり、インパクトイオン化現象が生じやすくなり、この現象によるノイズ電荷がセンサブロックにまでおよび、特に画素部を埋め込み型のフォトダイオードとした場合に、電源電圧が高いのでこのノイズが生じやすい。

【0006】また、信号処理ブロックに対してもセンサブロックと等しい電源電圧を用いた場合、高い電源電圧を信号処理ブロックに利用することで、消費電力を高くする要因となる。

【0007】

【課題を解決するための手段】本発明の目的は、消費電力の軽減を可能とする撮像装置及び撮像システムを提供することである。

【0008】上記の目的を達成するために、本発明は、受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、該センサブロックから出力された信号を処理するための信号処理ブロックと、前記センサブロックで使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルを前記信号処理ブロックの電源電圧より

高くするための手段と、を有する同一半導体基板に集積化された撮像装置およびそれを用いた撮像システムを提供する。

【0009】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0010】(第1実施例)図1は、同一半導体基板内に集積化された撮像装置の概略的な構成を示すブロック図である。同図に示すように、撮像装置はセンサブロック1と信号処理ブロック2とを有する。センサブロック1は、画素部1a、画素部1aを垂直方向に走査する垂直走査部1b、画素部1aを水平方向に走査する水平走査部1cから構成されている。また、信号処理ブロック2は、オートゲインコントロール等を含むアンプ部2a、A/D(アナログ/デジタル)変換回路2b、A/D変換回路2bからの信号を信号処理する信号処理部2cから構成されている。

【0011】図2は、画素部の一画素の構成を示す概略的な構成図である。また図7は画素部の一画素の他の構成を示す概略的な構成図である。図1において、PDは埋め込み型フォトダイオード、TXは埋め込み型フォトダイオードPDからの信号電荷を転送する転送用MOSTランジスタ、FDは転送された信号電荷が保持されるフローティングディフュージョン(電荷電圧変換部となる。)、SFはFDとゲートが接続される増幅用MOSTランジスタ、SELは選択用MOSTランジスタ、RESはFD及び増幅用MOSTランジスタSFをリセットするリセット用MOSTランジスタである。選択用MOSTランジスタSELは定電流源を構成するMOSTランジスタMとの間でソースフォロア回路を構成する。図7は選択用MOSTランジスタSELと増幅用MOSTランジスタSFとの配置を変えた場合の構成例を示している。

【0012】画素部の受光素子として、埋め込み型フォトダイオードを用いた場合には、埋め込み型フォトダイオードを空乏化させて、蓄積された電荷を画素内のFD(フローティングディフュージョン)に転送させるために、画素内のFDを空乏化電圧以上に設定することが求められ、この結果、電源電圧が5V(ボルト)もしくはそれ以上にすることが必要である。

【0013】本実施例では、センサブロック1の電源電圧を5V、信号処理ブロック2の電源電圧を4Vとした。

【0014】以下、埋め込み型フォトダイオードについて図3を用いて説明する。

【0015】図3に示すように、埋め込み型フォトダイオードは、pウェル11にn型領域12が形成され、n型領域12の基板面にはp⁺型領域14が形成されて構成される。

【0016】n型領域12に蓄積された電荷はゲート電

極15に電圧が印加されると、フローティングディフュージョン領域(n⁺型領域)13に転送可能となる。埋め込み型フォトダイオードは、p⁺型領域14とn型領域12との接合部及びpウェル11とn型領域12との接合部に逆バイアスがかかると、n型領域12において、p⁺型領域14とn型領域12との接合部から空乏層(図中点線部分)が広がり、pウェル11とn型領域12との接合部から空乏層(図中点線部分)が広がり、上下から広がった空乏層どうしが接するようになり、そのときの空乏化電圧(V_{dep})よりもフローティングディフュージョン領域13の電圧(V_{FD})を高くすることで(V_{FD}>V_{dep})、n型領域12に蓄積された電荷をすべてフローティングディフュージョン領域(n⁺型領域)13に転送することができる。

【0017】信号処理部2cは、図4に示すように、Y/C分離回路112a、輝度信号処理回路112b、色信号処理回路112c、色抑圧回路112d、デジタル出力変換回路112e及びマイクロコンピュータ115から構成される。

【0018】マイクロコンピュータは、Y/C分離回路112a等を制御するとともに、輝度信号、色信号を受信し、その受信した信号に基づいて焦点調整、露光制御等を行う。

【0019】なお、センサブロックの電源電圧を5Vにし、信号処理ブロックの電源電圧を5Vから4Vに下げた場合、クロックノイズはその振幅に比例することから4/5になる。また、デジタル回路の消費電力は、 $1/2 \cdot f \cdot C \cdot V^2$ で表されることから、電源電圧が4/5になることで、消費電力は64%まで減少する。一方、アンプに代表されるアナログ回路の消費電力は、 $I \cdot V$ で表され、形式を変えない限り貫通電流Iは変化しないので、消費電力は電源電圧の低下分に対応して4/5に減少する。

【0020】センサ出力のみを出力する撮像装置ではロジック回路の消費電力がごくわずかで、そのほとんどがアナログ回路なので、消費電力は80%程度にとどまるが、大規模なデジタル信号処理を搭載した撮像装置ではデジタル回路の消費電力が大きな割合を占めるので消費電力の減少はより大きなものとなる。

【0021】また、上記に説明した実施例において示した図3のような埋め込み型のフォトダイオードを有する画素を持つ撮像装置の場合に、本実施例は従来のものと比べて特にS/N比の向上、消費電力の低減等の効果を有するが、画素の構成はこれに限るものではなく、光信号を電荷に変換して出力できる機能を有する他の画素構造のものでもよい。

【0022】次に、図5を用いてセンサブロックと、信号処理ブロックの電源電圧を異ならせるための具体的回路構成を説明する。

【0023】図5において、図1及び図2と同じ構成部

については、同じ番号を付してある。100は、センサブロック1と、信号処理ブロック2を同一半導体基板に集積した撮像装置であり、センサブロック、信号処理ブロックに異なる電圧値の電源電圧を加えるための電圧供給用端子5a、5bを設けている。垂直走査部1bは、垂直シフトレジスタ1f、AND回路、パルス供給線1h~1jを含む構成であり、AND回路1gは、垂直シフトレジスタ及び、パルス供給線からパルスが入力された場合に、トランジスタをONにするためのパルスが出力される。水平走査部1cは、水平シフトレジスタ1k、AND回路1g、パルス供給線1lを含む構成であり、AND回路1gは、水平シフトレジスタ及び、パルス供給線からパルスが入力された場合に、トランジスタをONにするためのパルスが出力される。

【0024】電圧供給部3からの電圧は、降圧回路4a、降圧回路4bによって、それぞれ5V、4Vに設定される。そして、電圧供給端子5aに印加された電圧は、電圧供給線6aによって伝えられ、電圧供給端子5bに印加された電圧は、電圧供給線6bによって伝えられる。

【0025】本実施例では、電圧供給線6aの電圧が、それぞれの画素の増幅用MOSTランジスタのドレインから電源電圧として供給されるとともに、リセット用MOSTランジスタからリセット電圧として供給する構成となっている。さらに、電圧供給線6aの電圧は、AND回路1gの駆動電圧となる構成となっており、AND回路からは、電圧供給線6aの電圧である5Vのパルスが出力される。

【0026】また、電圧供給線6bの電圧は、信号処理ブロック内のアンパ部2a、A/D変換回路2b、信号処理部2cの電源電圧として供給される構成となっている。

【0027】(第2実施例) 図6は、センサブロックと、信号処理ブロックの電源電圧を異ならせるための具体的回路構成である。

【0028】第2の実施例が第1の実施例と異なるのは、電圧を供給するための電圧供給用端子5cを1つとして、降圧回路4dを撮像装置100内に設けることによって、電圧供給線6cから供給される電圧の値を下げ、信号処理部に含まれるアンパ部等の電源電圧としている点である。それ以外の点は、第1の実施例と同じである。

【0029】電圧供給部からの電圧は、降圧回路4cによって5Vに設定され、電圧供給線6cによって5Vの電圧がセンサブロックに加えられる。また、電圧供給線6cの5Vの電圧値は、降圧回路4dによって4Vに設定され、信号処理ブロックに加えられる。

【0030】また、以上の実施例1及び実施例2では、信号処理ブロック内のそれぞれの回路部には、同じ電圧値の電源電圧としているが、例えば、センサブロックの

電源電圧を6.5V、信号処理ブロックのアンパ部は5V、信号処理ブロックのA/D変換部、信号処理部は、3.3Vとする構成でもよい。

【0031】具体的回路構成としては、電圧供給端子を3つ設け、それぞれの端子から異なる電圧を加える構成でもよいし、電圧供給端子は、1つとして、撮像装置内に降圧回路を2つ設けることによって、3つの異なる電圧を形成する構成としてもよい。

【0032】ダイオードを有する画素を持つ撮像装置の場合に、本実施例は従来のものと比べて特にS/N比の向上、消費電力の低減等の効果を有するが、画素の構成はこれに限るものではなく、光信号を電荷に変換して出力できる機能を有する他の画素構造のものでもよい。

【0033】(第3実施例) 実施例1及び実施例2では、センサブロック全体に電源電圧5Vを供給したが、本実施例では図2に示すセンサブロックの画素部のリセット信号線と行選択信号線のみに高い電圧6.5Vを供給し、センサブロックのその他の構成部材には電源電圧5.0Vを供給した。本実施例では選択用トランジスタSELとリセット用トランジスタRESのゲートに高電圧6.5Vを印加することでダイナミックレンジを拡大することができる。なお、図7の画素構成でも同様な効果を得ることができる。

【0034】センサブロックの読み出し回路が例えば図7に示すようなソースフォロア回路で構成される場合、センサのダイナミックレンジを決定する一つの要因にソースフォロア回路の上限がある。この上限は一般に電源電圧Vddとなるが、選択用トランジスタSELのゲートに同じ電圧Vddが印加される場合、電源電圧Vddから更に選択用トランジスタSELの閾値電圧分下がった電圧になる。選択用トランジスタSELのゲート電圧に電源電圧Vddよりも高い電圧を印加することで、ソースフォロア回路の上限は電源電圧Vddまで引き上げることができる。このため、本実施例では、選択用トランジスタSELのゲートに接続される、センサブロックの画素部の行選択信号線に電圧6.5Vを供給した。

【0035】またダイナミックレンジを抑制するもう一つの要因にリセット電圧の上限がある。ソースフォロア回路の入力レンジは、リセット電圧からGNDまでとなる。従って、リセット電圧を上げることでダイナミックレンジを広げることができる。選択用トランジスタSELと同様にリセット電圧と同じ電圧がリセット用トランジスタRESのゲートに印加された場合、リセット電圧はリセット電源から閾値電圧分低い電圧でしかリセットすることができない。これを改善するには、リセット用トランジスタRESのゲート電圧に充分高い電圧を入力することで、リセット電圧とほぼ等しい電圧でリセットすることができる。このため、本実施例では、リセット用トランジスタRESのゲートに接続される、センサブロックの画素部のリセット信号線に電圧6.5Vを供給

した。

【0036】上記のような、リセット信号線と行選択信号線ともに、6.5Vの電圧を供給し、センサブロックのその他の構成部に5.0Vの電圧を供給する具体的回路構成図を図8に示す。

【0037】本実施例では、電圧供給部3からの電圧は、降圧回路4cによって5Vに設定され、電圧供給端子5cに印加される。5Vに設定された電圧供給線6cのそのままの電圧が電源電圧として、選択用MOSトランジスタのドレインに供給されるとともに、AND回路1gの駆動電圧として供給される。そして、昇圧回路4eによって6.5Vになった電圧は、AND回路1g'に供給され、降圧回路4dによって、3.3Vにされた電圧は、信号処理ブロック内のそれぞれの構成部に電源電圧として供給される。

【0038】(第4実施例) 実施例1～3では、センサブロックの電源電圧を信号処理ブロックの電源電圧よりも高くした構成であるが、本実施例では、センサブロックと信号処理ブロックの電源電圧を同じにし、センサブロックで使用されるクロック信号のハイレベルを信号処理ブロックの電源電圧よりも高くした構成である。

【0039】具体的回路構成図を図9を用いて説明する。

【0040】電圧供給部3からの電圧は、降圧回路4cによって3.3Vに設定され、電圧供給端子5cから供給される。3.3Vに設定された電圧供給線の電圧は、電源電圧として増幅用MOSトランジスタのドレインに供給されるとともに、リセット電圧として、リセット用MOSトランジスタのドレインに供給される。また、信号処理ブロックのそれぞれの構成部の電源電圧としても供給される。

【0041】本実施例では、撮像装置内に昇圧回路を設けている。それによって、電圧供給線の電圧は、昇圧回路4eによって5Vに設定され、その電圧をAND回路1gの駆動電圧としている。

【0042】以上のような構成とすることによって、AND回路1gから出力されるクロック信号は、クロック信号のハイレベルが5Vとなり、信号処理ブロックの電源電圧よりも高くなる。

【0043】(第5実施例) 実施例1～3では、センサブロックの電源電圧を信号処理ブロックの電源電圧よりも高くした構成であるが、本実施例では、センサブロックと信号処理ブロックの電源電圧を同じにし、センサブロックで使用されるクロック信号の振幅を信号処理ブロックの電源電圧よりも高くした構成である。

【0044】具体的回路構成図を図10を用いて説明する。

【0045】電圧供給部3からの電圧は、降圧回路4cによって3.3Vに設定され、電圧供給端子5cから供給される。3.3Vに設定された電圧供給線の電圧は、

電源電圧として増幅用MOSトランジスタのドレインに供給されるとともに、リセット電圧として、リセット用MOSトランジスタのドレインに供給される。また、信号処理ブロックのそれぞれの構成部の電源電圧としても供給される。

【0046】本実施例では、撮像装置内に降圧回路を2つ設けている。それによって、電圧供給線の電圧は、降圧回路4fによって-2Vに設定され、その電圧をAND回路1gの駆動電圧としている。また、電圧供給線の電圧は、降圧回路4gによって3Vに設定され、その電圧をAND回路1gの駆動電圧としている。

【0047】以上のような構成とすることによって、AND回路1gから出力されるクロック信号は、クロック信号の振幅が5Vとなり、信号処理ブロックの電源電圧よりも高くなる。

【0048】(第6実施例) センサブロック1の電源電圧を6.5V、信号処理ブロック2の電源電圧を3.3Vとした。本実施例では、センサブロック1と信号処理ブロック2との間に電源電圧に差があるため、図11に示すように、水平走査部1cからの信号をレベルシフトするレベルシフト回路1dを設け、レベルシフト回路1dの出力をアンプ部2aに接続した。なお、レベルシフト回路は必ずしもセンサブロック1内に設ける必要はなく、センサブロック1と信号処理ブロック2との間又は信号処理ブロック2内に設けてもよい。ただし、電源電圧が高く入力レンジ、出力レンジが広いセンサブロックに入っている方が設計の自由度が高い。

【0049】レベルシフト回路としては、簡単な構成例として、例えば図12に示すようにMOSトランジスタと定電流源とで構成されるソースフォロア回路で構成することができる。センサブロックの電源電圧を信号処理ブロックの電源電圧よりも高くするための具体的構成は、実施例1～3のように構成することによって達成できる。又、センサブロックで使用するクロック信号のハイレベル又は振幅を信号処理ブロックの電源電圧よりも高くするのは実施例4、5のように構成することによって達成できる。

【0050】(第7実施例) 実施例6において、センサブロックの電源電圧を6.5Vとし、信号処理ブロックの電源電圧を3.3Vとしたが、この場合センサブロックに用いられるMOSトランジスタの耐圧をあげるために、信号処理ブロックに用いられるMOSトランジスタよりも、MOSトランジスタのゲート酸化膜厚を厚く又はウェル濃度を低下させた。なお、ゲート酸化膜厚とウェル濃度との両方を制御することも可能である。ゲート酸化膜厚が厚いセンサブロックに用いられるMOSトランジスタの閾値電圧が信号処理ブロックに用いられるMOSトランジスタの閾値電圧に比し高くなる。

【0051】具体的には、センサブロックに用いられるMOSトランジスタの酸化膜厚を20nm、信号処理ブ

ロックに用いられるMOSトランジスタの酸化膜厚を8nmとすることで、センサブロックに用いられるMOSトランジスタの耐圧をあげた。

【0052】また、センサブロックに用いられるMOSトランジスタのウェル濃度を $4 \times 10^{16} / \text{cm}^3$ 、信号処理ブロックに用いられるMOSトランジスタのウェル濃度を $8 \times 10^{16} / \text{cm}^3$ とすることで、同様にセンサブロックに用いられるMOSトランジスタの耐圧をあげることができた。

【0053】又、実施例1〜3においても、同様にセンサブロックに用いられるMOSトランジスタの耐圧をあげるようにしてもよい。

【0054】なお、本発明に係わるセンサブロック、信号処理ブロックの構成は上述した各実施例のものに特に限定されるものでない。

【0055】例えば、信号処理ブロックの構成は図13に示すように、アンプ部2aのみから構成されるようにしてもよく、センサブロックは以下に説明するように、ノイズ信号を読み出して、センサ信号に含まれるノイズ成分を減算処理する手段を設けてもよい。

【0056】図14は各画素からのセンサ信号からノイズ成分を除去する回路構成を示すものである。図14に示す一画素の構成は図2に示したものと同一である。

【0057】図14に示すように、複数の画素が接続された垂直出力線には、ノイズ信号転送用のMOSトランジスタMN、及びセンサ信号転送用のMOSトランジスタMSが接続され、ノイズ信号、センサ信号をそれぞれ蓄積容量CN、CSに蓄積するようになっている。蓄積容量CN、CSに蓄積されたノイズ信号、センサ信号は減算器Aにより差分処理されてノイズ成分が除去されたセンサ信号が出力される。なお、画素がマトリクス状に配されたエリアセンサでは、MOSトランジスタMN、MS、蓄積容量CN、CSは各垂直出力線ごとに設けられ、水平走査部により一行分の画素のそれぞれのノイズ信号、センサ信号を各垂直出力線ごとに順次減算器Aに転送することで差分処理を行っていく。

【0058】なお、 ϕ_{TX} 、 ϕ_{RES} 、 ϕ_{SEL} 、 ϕ_N 、 ϕ_S はそれぞれ、転送用MOSトランジスタTXを制御するパルス信号、リセット用MOSトランジスタRESを制御するパルス信号、選択用MOSトランジスタSELを制御するパルス信号、ノイズ信号転送用MOSトランジスタMNを制御するパルス信号、センサ信号転送MOSトランジスタMSを制御するパルス信号である。

【0059】図15は図14の回路の動作を説明するタイミングチャートである。まず、 ϕ_{RES} をハイレベルとして、フローティングディフュージョン領域(FD)をリセットし、その後 ϕ_N をハイレベルとしてノイズ信号を蓄積容量CNに転送する。次に ϕ_{TX} をハイレベルとして、フローティングディフュージョン領域にフォトダイオードPDから信号電荷を転送し、 ϕ_S をハイレベルと

して、センサ信号(ノイズ成分を含む)を蓄積容量CSに転送する。こうして、蓄積容量CN、CSに蓄積されたノイズ信号、センサ信号を減算器Aにより差分処理し、ノイズ成分が除去されたセンサ信号を出力する。

【0060】(第8実施例)図16は上記で説明した撮像装置100を用いた撮像システムを示すブロック図である。

【0061】図16において、101はレンズ系であり、102は絞リ、103、105、107はモータ、104はモータ103を制御する変倍レンズ駆動手段、106はモータ105を制御して絞リ102を駆動する絞リ機構駆動手段、108はモータ107を制御するフォーカスコンベレンズ駆動手段である。また、100はレンズ系101から入射した光信号を光電変換し、所定の信号処理を行う撮像装置である。

【0062】変倍レンズ駆動手段104、絞リ機構駆動手段106、フォーカスコンベレンズ駆動手段108は、撮像装置内のマイクロコンピュータ115によって制御される。

20 【0063】又、撮像装置100からの出力はデジタルデコーダ、DA変換器113を通してモニター手段114に送られ画像表示され、またVTRに送られる。

【0064】(第9実施例)図17は、上記で説明した信号処理ブロックがアンプ部のみで構成される撮像装置100を用いた撮像システムを示すブロック図である。

【0065】図17において、101はレンズ系であり、102は絞リ、103、105、107はモータ、104はモータ103を制御する変倍レンズ駆動手段、106はモータ105を制御して絞リ102を駆動する絞リ機構駆動手段、108はモータ107を制御するフォーカスコンベレンズ駆動手段である。また、100はレンズ系101から入射した光信号を光電変換し、増幅して出力する撮像装置である。111はAD変換器である。

【0066】また、112はカメラ信号処理回路であり本実施例における信号処理部2cであり、112aはY/C分離回路、112bは輝度信号処理回路、112cは色信号処理回路、112dは色抑圧回路、112eはデジタル出力変換回路である。輝度信号及び色信号はマイクロコンピュータ115に入力され、マイクロコンピュータ115はこの信号に基づいて、変倍レンズ駆動手段104、絞リ機構駆動手段106、フォーカスコンベレンズ駆動手段108を制御する。

【0067】カメラ信号処理回路112からの出力はデジタルデコーダ、DA変換器113を通してモニター手段114に送られ画像表示され、またVTRに送られる。

【0068】以上の実施例においてはエリアセンサについて述べたが、ラインセンサにも用いることができる。ラインセンサの場合は、画素において選択スイッチが省

かれることを除いて画素構成は同じである。

【0069】以上説明したように、本実施例によればダイナミックレンジが拡大するとともに、ノイズを低減することができ、また消費電力を低減することができる。

【0070】以上の実施例1～8において、CMOSプロセスによって同一半導体基板内にセンサブロックと信号処理ブロックとを集積化することによって特に低消費電力化が図れる。

【0071】

【発明の効果】以上説明したように、本発明によれば、低消費電力な撮像装置及び撮像システムを提供することができる。

【図面の簡単な説明】

【図1】撮像装置を表す図である。

【図2】画素を表す図である。

【図3】画素を表す図である。

【図4】信号処理部を表す図である。

【図5】第1の実施例を表す図である。

【図6】第2の実施例を表す図である。

【図7】画素を表す図である。

【図8】第3の実施例を表す図である。

【図9】第4の実施例を表す図である。

【図10】第5の実施例を表す図である。

【図11】撮像装置を表す図である。

【図12】撮像装置を表す図である。

【図13】撮像装置を表す図である。

【図14】画素部を表す図である。

【図15】画素の読み出しを表すタイミングチャートを表す図である。

【図16】撮像システムを表す図である。

【図17】撮像システムを表す図である。

【符号の説明】

1 センサブロック

2 信号処理ブロック

1a 画素部

1b 垂直走査部

1c 水平走査部

1d レベルシフト回路

1f 垂直シフトレジスタ

1g AND回路

1h～1j パルス供給線

1k 水平シフトレジスタ

1l パルス供給線

2a アンプ部

2b A/D (アナログ/デジタル) 変換回路

20 2c 信号処理部

3 電圧供給部

4a～d、4f、4g 降圧回路

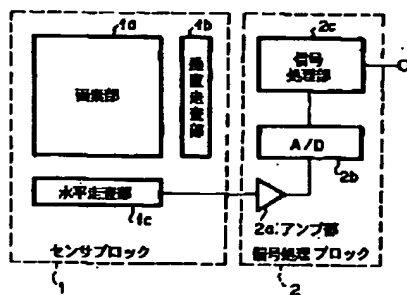
4e 昇圧回路

5a、5b、5c 電圧供給用端子

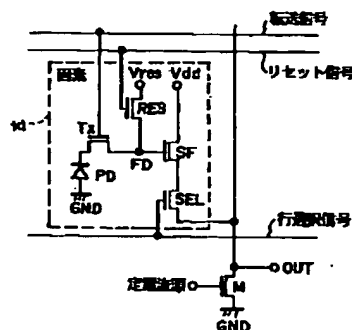
6a、6b、6c 電圧供給線

100 撮像装置

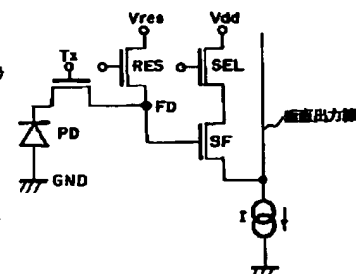
【図1】



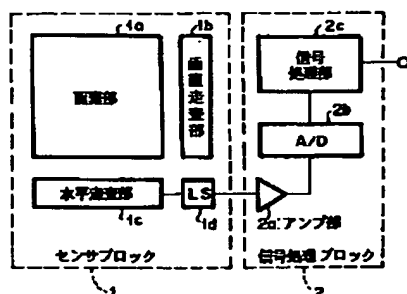
【図2】



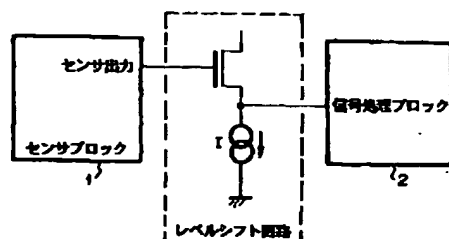
【図7】



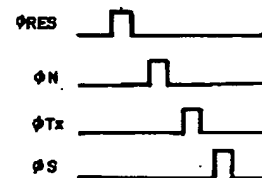
【図11】



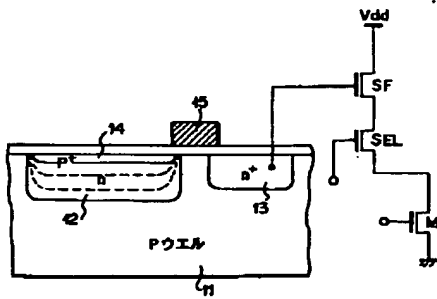
【図12】



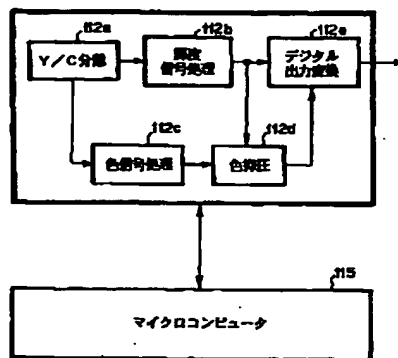
【図15】



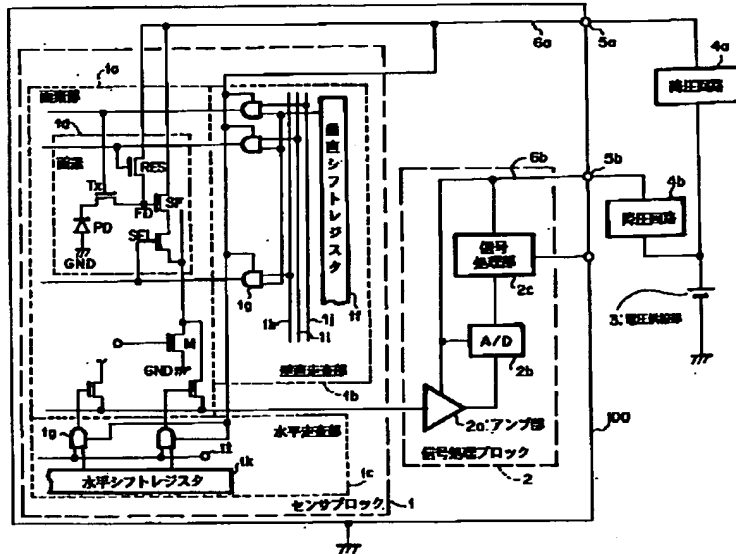
【図3】



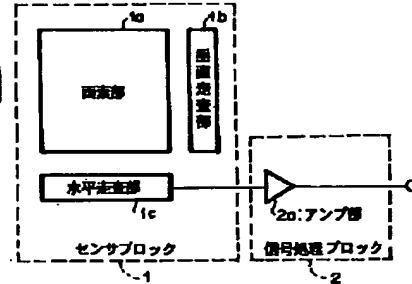
【図4】



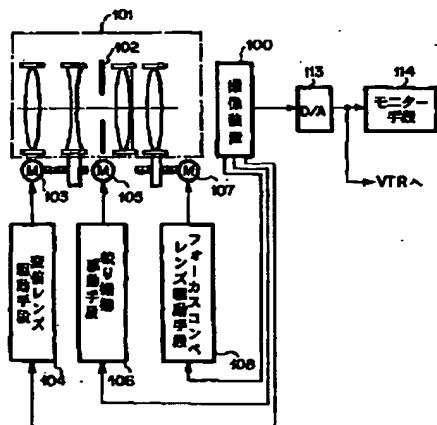
【図5】



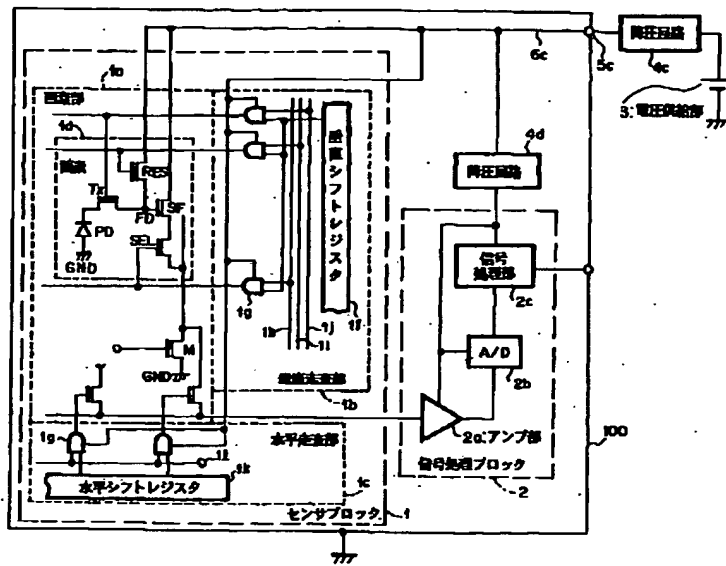
【図13】



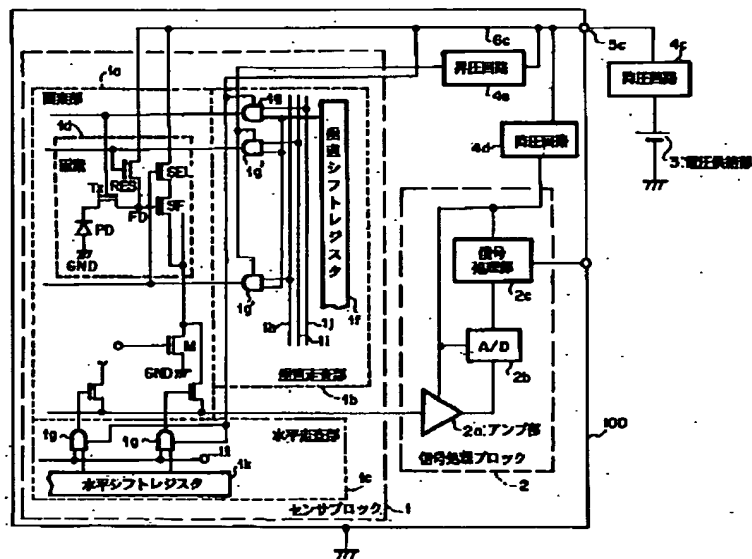
【図16】



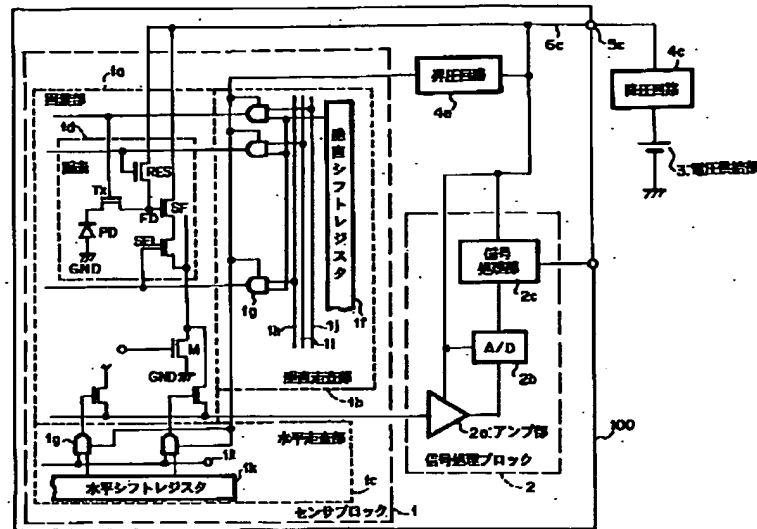
【図6】



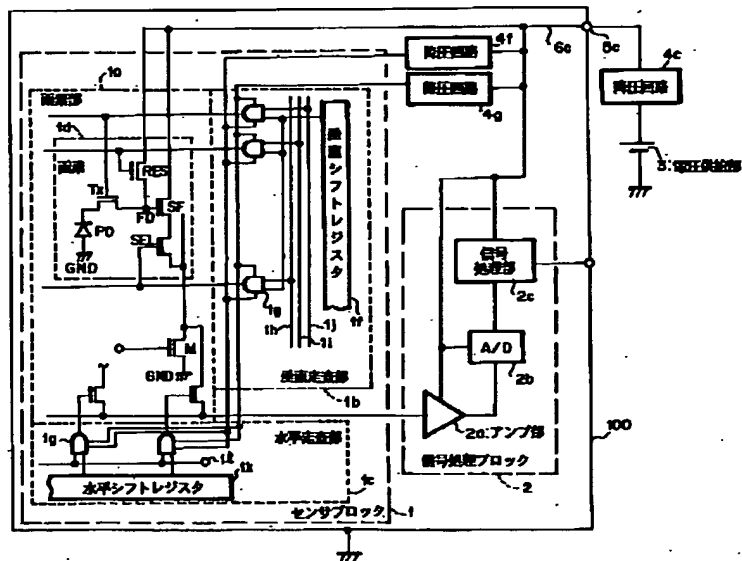
【図8】



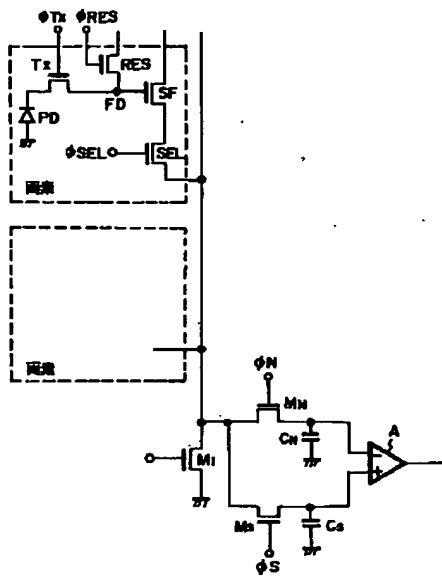
【図9】



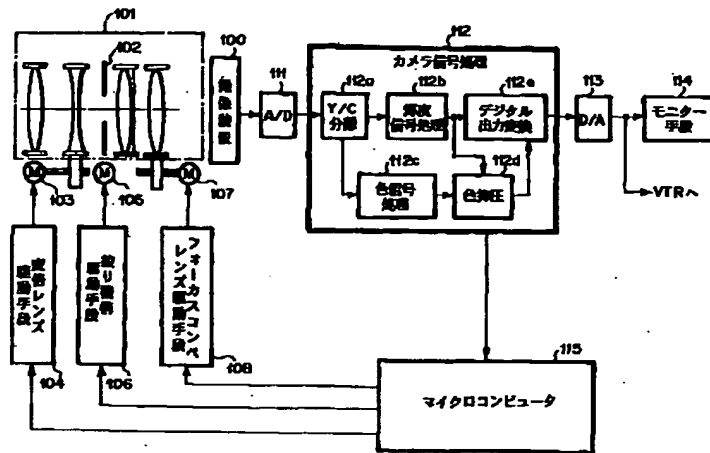
【図10】



【図14】



【図17】



フロントページの続き

(72)発明者 樋山 拓己
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 櫻井 克仁
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 小川 勝久
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 上野 勇武
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 須川 成利
神奈川県厚木市森の里3-13-3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196943

(P2000-196943A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.

識別記号

F I

テマート* (参考)

H 0 4 N 5/232

H 0 4 N 5/232

Z 5 C 0 2 2

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-374604

(22) 出願日 平成10年12月28日 (1998. 12. 28)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 遠藤 敏朗

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

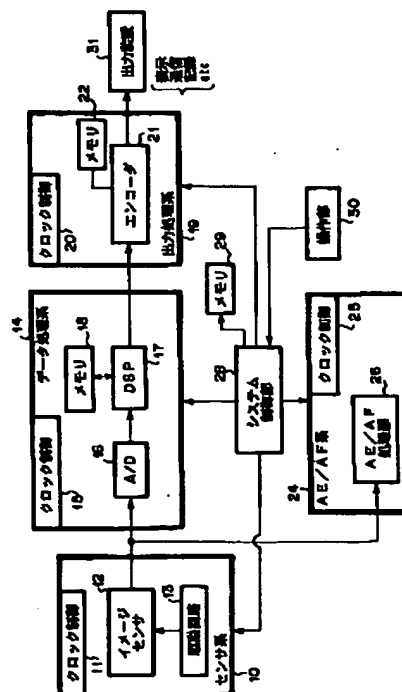
Fターム (参考) 50022 AB02 AB22 AB67 AC42 AC69

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 低消費電力化のため、クロック信号の供給、特にクロック周波数に関して、固体撮像装置の各処理部へ供給する際に、更なる技術を提供することを課題とする。

【解決手段】 イメージセンサとその駆動回路から成るセンサ系と、A/D変換部とDSPから成るデータ処理系と、自動露光設定機能(AE)/自動合焦設定機能(AF)の演算処理を行うAE/AF処理系と、各出力装置に合わせてデータのエンコードを行う出力処理系と、前記処理系に対する入力クロック周波数を指定するシステム制御部とから構成される固体撮像装置において、前記システム制御部からの制御信号に基づいて、前記各処理系に対してクロック周波数を変更するクロック制御手段を有することを特徴とする。



【特許請求の範囲】

【請求項1】 イメージセンサとその駆動回路から成るセンサ系と、A/D変換部とDSPから成るデータ処理系と、自動露光設定機能(AE)/自動合焦設定機能(AF)の演算処理を行うAE/AF処理系と、各出力装置に合わせてデータのエンコードを行う出力処理系と、前記処理系に対する入力クロック周波数を指定するシステム制御部とから構成される固体撮像装置において、

前記システム制御部からの制御信号に基づいて、前記各処理系に対してクロック周波数を変更するクロック制御手段を有することを特徴とする固体撮像装置。

【請求項2】 前記クロック制御手段の指示により、前記各処理系に対する入力クロックの周波数を複数のクロック周波数から選択して変更する変更手段と、前記各処理系の動作が不要であるか低周波数のクロック周波数による動作で良いかを判断して前記各処理系に対する入力クロックを低く設定する設定手段と、前記各処理系の動作で高速な動作に必要な前記各処理系に対する入力クロックの周波数を高く設定する高速設定手段を有することを特徴とする請求項1に記載の固体撮像装置。

【請求項3】 前記各処理系への入力クロックの周波数を個別に変更可能なクロックを前記各処理系の各々に設けたことを特徴とする請求項1に記載の固体撮像装置。

【請求項4】 前記クロック制御信号に基づいて、各処理系毎にクロック周波数を制御する手段を有することを特徴とする請求項1に記載の固体撮像装置。

【請求項5】 前記各処理系とそれらの制御部を含む回路が、1チップLSI内に形成されていることを特徴とする請求項1に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関し、低消費電力化を可能とする固体撮像装置に関する。

【0002】

【従来の技術】従来、固体撮像装置はその操作部に電源オン/オフするスイッチを設けて、低消費電力のため、または搭載したバッテリーの長期間動作のため、こまめに電源スイッチを操作していた。

【0003】この固体撮像装置内には、対象画像を撮影するイメージセンサ部と、撮像信号処理部と、自動露光設定機能(AE)/自動合焦設定機能(AF)の演算処理を行うAE/AF処理系と、出力処理部とを備えており、近年の半導体技術の進展により、各部の動作に同期を取って時間的なロスを除去するために、各部へクロック信号を供給することが常態化している。

【0004】ここで、クロック信号の供給をストップすると、各部の動作がストップし、各部のフローティング電流だけとなるので、トータル電流は低減される。低消費電力化のためには、このようにクロック信号の供給を

ストップすればよい。このような従来例1として、特開平9-55890号公報に、「固体撮像装置」として、映像信号有効期間以外の期間にセンサ走査回路の駆動クロック群を停止して、低消費電力を図る例が示されている。

【0005】また一方、この処理回路の低消費電力化のため、クロック周波数を変化することも知られており、このクロック周波数に比例して消費電力が増加することが知られている。このような従来例2として、特開平9-236843号公報に、「固体撮像装置」として、光量に応じて昇圧する電子シャッタパルス数を削減して、消費電力を節減することが開示されている。

【0006】また、他の従来例として、特開平5-54955号公報には、機能ブロックに対して、それぞれ独立して所定のクロックを選択して供給することが開示され、特開平5-252417号公報には、ブランキング信号により、ブランキング期間と有効映像期間とで、クロック周波数を変えることが開示され、特開平5-252477号公報には、VTRに関し、動作モードに応じて、2種類のクロックを切り換え、且つ、回路を選択的に作動させることが開示され、特開平5-333976号公報には、CPUへのクロック周波数、及び各種デバイスへの供給電圧を一部、又は全部を可変することが開示され、特開平8-179847号公報には、機能ブロックの情報に基づき、複数の周波数のクロックを選択的に供給することが開示され、特開平10-124169号公報には、CPUに連動してI/Oコントローラの動作クロックの周波数を可変制御又は停止することが開示されている。

【0007】また、従来例3として、システム全体として動作周波数の最も処理負荷の低い処理回路の動作周波数に合わせて設定されることも知られている。すなわち、複数の処理回路が装置内に独立して設計されて搭載された各処理回路の場合、その処理回路中のクロック周波数のうち、最低周波数のクロック周波数に合わせて、装置を動作させることで、消費電力を節減することができる。

【0008】

【発明が解決しようとする課題】上記のように、クロック信号に関して、低消費電力化と装置の動作とを勘案して、適切なクロック周波数を設定しているが、上記従来例1、2のように、個別にクロック周波数を制御しても、システム全体としてみると、ある動作モードで機能していない処理系も、常に最大周波数で動作しており、無駄な消費電力を浪費している。また、例えば、センサのクロック周波数を低くして間引き動作を行っていても、その周辺のA/D変換器、DSP(Digital Signal Processor: デジタル信号処理に特化したプロセッサ)などのデータ処理系は高速動作のままで、無駄な電力を消費していた。

【0009】また、従来例3のように、システム全体の動作周波数を低く設定しても、当該回路を使用しない処理を行う場合でも、クロック周波数が低い周波数に限定されてしまい、システム全体の動作性能が低下してしまう。

【0010】本発明は、低消費電力化のため、クロック信号の供給、特にクロック周波数に関して、固体撮像装置の各処理部へ供給する際に、更なる技術を提供することを課題とする。

【0011】

【課題を解決するための手段】本発明は、イメージセンサとその駆動回路から成るセンサ系と、A/D変換部とDSPから成るデータ処理系と、自動露光設定機能(AE)/自動合焦設定機能(AF)の演算処理を行うAE/AF処理系と、各出力装置に合わせてデータのエンコードを行う出力処理系と、前記処理系に対する入力クロック周波数を指定するシステム制御部とから構成される固体撮像装置において、前記システム制御部からの制御信号に基づいて、前記各処理系に対してクロック周波数を変更するクロック制御手段を有することを特徴とする。

【0012】また、上記固体撮像装置において、前記クロック制御手段の指示により、前記各処理系に対する入力クロックの周波数を複数のクロック周波数から選択して変更する変更手段と、前記各処理系の動作が不要であるか低周波数のクロック周波数による動作で良いかを判断して前記各処理系に対する入力クロックを低く設定する設定手段と、前記各処理系の動作で高速な動作に必要な前記各処理系に対する入力クロックの周波数を高く設定する高速設定手段を有することを特徴とする。

【0013】また、上記固体撮像装置において、前記各処理系への入力クロックの周波数を個別に変更可能なクロックを前記各処理系の各々に設けたことを特徴とする。

【0014】

【発明の実施の形態】本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0015】図1は本発明の一実施形態による固体撮像装置の構成を示すブロック図である。センサ系、AE/AF系、データ処理系、出力系は各々、動作クロックを制御するクロック制御回路を有する。操作部からの信号により装置の動作モードを識別し、システム制御部から指定された処理系のクロック制御回路へクロック制御信号が送られ、入力クロックの周波数を変更する。

【0016】このように、本発明では各処理系への入力クロック周波数を、クロック制御回路を制御する命令を実行することにより個別に変更することができることを特徴とする。

【0017】図1は本発明の一実施形態による固体撮像装置の構成を示すブロック図である。本固体撮像装置

は、イメージセンサ12とその駆動回路13から成るセンサ系10で1つの独立したクロック制御部11を有する。また、イメージセンサ12からの撮像データ信号をA/D変換部16でA/D変換し、メモリ18にデータを格納しつつ演算処理を行うDSP部17とで成るデータ処理系14で1つのクロック制御部15を有する。次にそのデータ処理系14からの撮像データを表示や通信、記録するために出力装置に応じたデータ構造に変換するため複数のメモリ22を備えてエンコード21でエンコードする処理を行う出力処理系19で、1つのクロック制御部20を具備している。

【0018】さらに、AE/AF処理部26により撮影時のAE/AF条件を算出するための処理を行うAE/AF処理系24で1つのクロック制御部25を備えている。そして、装置の操作部30からの信号によって動作モードが識別され、メモリ29を含むシステム制御部28によって、各処理系のクロック制御部への制御信号を供給し且つ制御信号の変更のタイミングを決める処理を行う。

【0019】また、本固体撮像装置が出力する出力装置には、液晶表示パネルやCRTパネル、電子放出素子を有する自発光パネル、PDP等の表示装置や、紙に印刷するプリンタ、インターネットや無線による通信装置、フロッピーディスクやCD-RAM等の記録媒体に格納する記録ドライバ等が該当する。これらの出力装置にはそれぞれデータフォーマットが規定されており、エンコード21により各フォーマットに応じたデータ構成にエンコードして出力する。

【0020】図2はクロック制御回路の1つの実施形態である。本実施形態では、制御信号によって、各処理系のクロック制御部による入力クロックを複数種類に間引き(分周)する。各処理系の必要稼働率に応じて、前記入力クロック周波数を選択してやればよい。例えば、処理系の稼働率が最高の50%でよいならば、最大入力クロック周波数を1/2間引きしたものを入力する。稼働率がさらに低くて最高の25%でよいならば、前記クロックからさらに1/2間引きしたものを入力する。このようにクロック周波数を低くすることで、消費電力を低減できる。また、クロック周波数を変更するには、ここで述べた方法以外にも、周波数の異なる複数のクロック発生器を各処理系毎に用意し、クロック制御信号によりこれらから入力クロック周波数を選択する図2(b')のように基本クロックのデューティ比を変えるなどの方法を用いることもできる。この場合、システム制御部28でクロック信号を発生して、各処理系に共通のクロック信号を供給すると共に、クロック制御信号を出力する。

【0021】図3に、クロック制御回路の他の実施形態を示す。本実施形態では、周波数の異なる複数のクロック発生器が各処理系の入力クロック端子へ結合され、ク

ロック制御信号線を介した命令によってクロック制御部内の選択切り替え可能なスイッチに相互に接続されている。命令によりこれらの接続関係を切替えることにより、各処理系の入力クロック周波数を変更することが可能になる。

【0022】図において、システム制御部28内か又は別途図1に不図示のブロックにクロック発生器39を備えておき、システム制御部28からのクロック制御信号に従って、例えば100%のクロック発生器33及び、50%のクロック発生器32、25%のクロック発生器31からの各種クロック信号を、選択スイッチ34で選択し、各処理系の入力クロック端子35〜38に出力する。

【0023】図4に、撮像装置の動作モードと各処理系の稼働状態の関係の一例を示す。ここでの稼働状態は、最大動作周波数での動作を100%とした時の比率を示している。例えば稼働率50%というのは、該処理系の入力クロックを最大動作周波数の1/2と設定した時の稼働状態である。

【0024】具体的に動作状況を説明する。図4に示すように、例えば撮像装置のシャッターボタンが半押し状態の時、操作部30からの信号により、システム制御部28は①AE/AF計算モードと識別し、AE/AF系は100%稼働、センサ部は間引き動作でも十分なのでセンサ系は50%稼働となるようにクロック制御する。この時、データ処理系14と出力処理系19はほとんど使用しないので、25%あるいはそれ以下の稼働でもかまわない。

【0025】次にシャッターボタンを全押し状態にすると、操作部30からの信号によりシステム制御部28は②撮影モードと識別し、センサ系10とデータ処理系14は100%稼働となるようにクロック制御する。この時AE/AF系24と出力処理系19はほとんど使用しないので25%あるいはそれ以下の稼働率となるようにクロック制御する。

【0026】さらに、その撮像データを通信あるいは記録などのボタンにより動作モードを選択することで、システム制御部28は③データ出力モードと識別し、出力処理系19は100%稼働、一部データ処理系14が稼働するとして50%あるいはそれ以下の稼働率となるようにクロック制御する。この時AE/AF系24とセンサ系10はほとんど使用しないので25%あるいはそれ以下の稼働率となるようにクロック制御する。

【0027】このように、動作モードに応じて負荷のかかる処理系の入力クロックを高く、使用していないあるいは負荷の軽い処理系の入力クロックを低くなるように各々最適な周波数に設定することで、消費電力を削減することができる。また、電源をオン/オフ制御して省電力を図る技術に比べて、使用していない処理系も低速で動作しているため、待機時から起動時への移行時間も短

くてすみ、各処理系間の動作タイミングの整合性も問題ない。

【0028】また、省電力及び低消費電力のため、クロック制御と共に、電源オン/オフをも共用することにより更なる効果を得ることができる。すなわち、クロック制御に関しては、システム制御部28の制御信号により即座に動作を開始し、変更、停止を行うことができる。一方、電源オン/オフに関しては、低消費電力の効果は高いが、制御スイッチをMOSFET等の電子制御で高速に動作させるけれども、電源ラインのオン/オフには時間を要するので、クロック制御によるクロック供給を25%以下とする場合には電源をオフすることとする。また、AE/AF計算モード時には、先ずAE/AF部24とセンサ系10の電源をオンとし、電源ラインが安定するや否やAE/AF部24に100%クロックを供給するとともにセンサ系10に50%クロックを供給して、AE/AF部24による露光時間やレンズ位置設定を実行する。このようにして、低消費電力と共に、クロック供給と共に即座の動作開始がスタートする。

【0029】

【発明の効果】本発明によれば、複数の処理系を含む固体撮像装置の動作に必要な処理系の動作クロック周波数をクロック制御命令によって変更して低いクロック周波数を設定することにより、消費電力を削減することができる。

【0030】また、固体撮像装置内のクロック制御手段において、各処理系への入力クロック周波数を個別に変更可能なクロックを各処理系の各々に設けることにより、各処理系の動作に最適なクロックを設定することができる。

【0031】また、前記クロック制御手段において、クロック制御信号に基づいて各処理系毎にクロック周波数を制御する手段を有することにより、異なる周波数の複数のクロック発生器をシステム全体で1通りに共通化できる。

【0032】また、前記各処理系とそれらの制御部を含む回路を1チップLSI内に形成することにより、固体撮像装置の小型軽量化、省電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態によるシステムブロック図である。

【図2】本発明の実施形態による動作モードの状態図である。

【図3】本発明の実施形態による動作クロック制御回路の概念図である。

【図4】本発明の実施形態による動作稼働図である。

【符号の説明】

10 センサ系

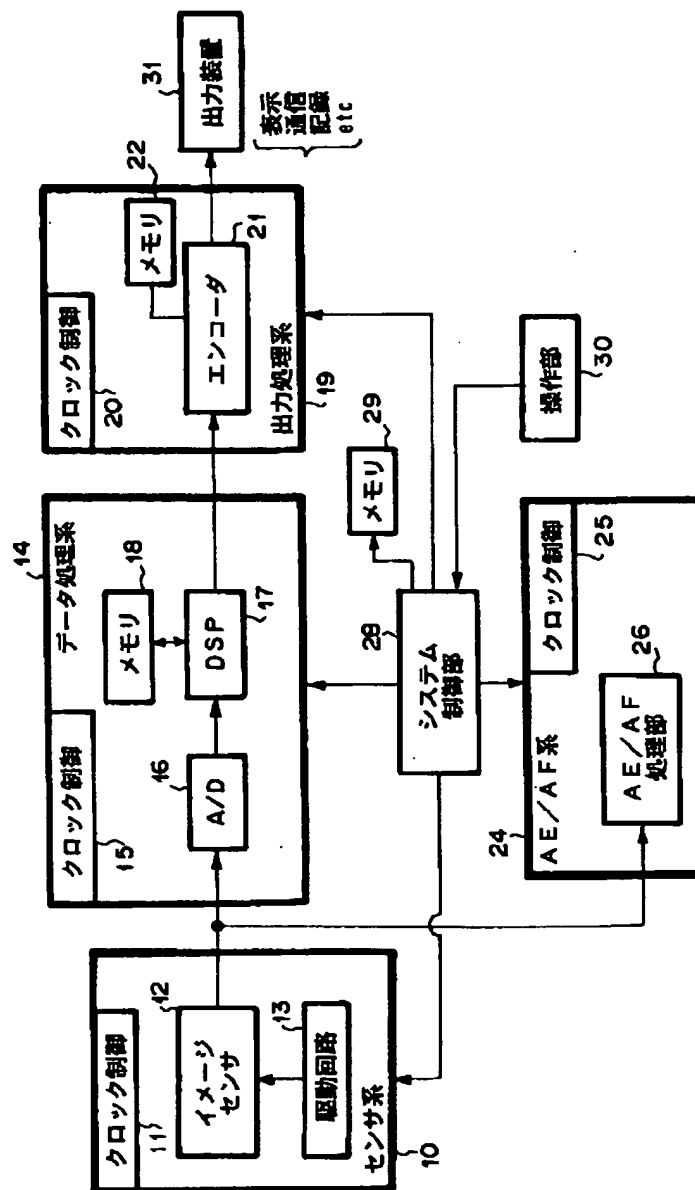
11 センサ系のクロック制御部

12 イメージセンサ

- 13 駆動回路
- 14 データ処理系
- 15 データ処理系のクロック制御部
- 16 A/D変換部
- 17 DSP
- 18 メモリ
- 19 出力処理系
- 20 出力処理系のクロック制御部
- 21 エンコーダ

- 22 メモリ
- 24 AE/AF系
- 25 AE/AF系のクロック制御部
- 26 AE/AF処理系
- 28 システム制御系
- 29 メモリ
- 30 操作部
- 31 出力装置

【図1】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224495

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H04N 5/335
// H01L 27/146

(21)Application number : 11-332980

(71)Applicant : CANON INC

(22)Date of filing : 24.11.1999

(72)Inventor : KOIZUMI TORU
KOUCHI TETSUNOBU
HIYAMA TAKUMI
SAKURAI KATSUTO
OGAWA KATSUHISA
UENO TOSHITAKE
SUGAWA SHIGETOSHI

(30)Priority

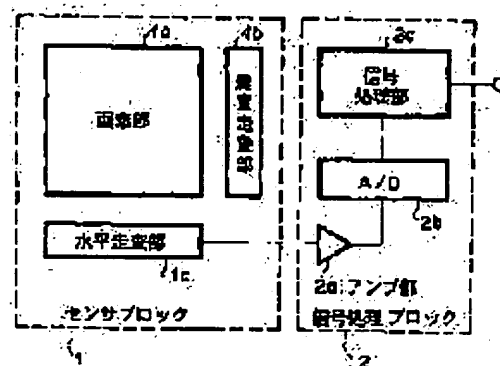
Priority number : 10333126 Priority date : 24.11.1998 Priority country : JP

(54) IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce noise and to reduce power consumption.

SOLUTION: In this image pickup device integrated inside the same semiconductor substrate provided with a sensor block 1 provided with a pixel part 1a composed of plural pixels provided with a photodetector for each pixel and scanning parts 1b and 1c for selecting the pixel of the pixel part 1a and a signal processing block 2 for processing signals outputted from the sensor block 1, a power supply voltage used in the sensor block 1 or the amplitude of clock signals or a high level is higher than the power supply voltage of the signal processing block 2.



LEGAL STATUS